

УДК 519.714.2

**В.В. Сапожников** – доктор технических наук (ПГУПС)**Вл.В. Сапожников** – доктор технических наук (ПГУПС)**Р.Ш. Валиев** – кандидат технических наук (НИЛ КСА)

## СИНТЕЗ САМОДВОЙСТВЕННЫХ ЭЛЕМЕНТОВ ПАМЯТИ

Задача обнаружения неисправностей в логических схемах решается за счёт внесения в схему избыточности элементов [1, 2], либо за счёт уменьшения быстродействия схемы и использования для обнаружения ошибок резерва времени [3]. Перспективным является подход, при котором одновременно вносятся избыточные элементы и используется резерв времени. В [4 – 14] предложены методы, реализующие данный подход для решения задачи обнаружения неисправностей в комбинационных схемах. Они основаны на использовании свойств самодвойственных функций алгебры логики.

При применении данного подхода к схемам с памятью возникает проблема синтеза элементов памяти, работающих в самодвойственной логике.

В [5, 7] показано, что любая логическая схема может быть преобразована в самодвойственную схему, выходные функции которой принадлежат классу самодвойственных функций.

Функция  $f$  называется самодвойственной, если выполняется равенство:

$$f(x_1, x_2, \dots, x_n) = \bar{f}(\bar{x}_1, \bar{x}_2, \dots, \bar{x}_n) \quad (1)$$

Произвольная функция от  $n$  переменных может быть представлена самодвойственной функцией от  $n+1$  переменной путём введения дополнительной переменной  $a$  как самодвойственной функции, представляющей собой непрерывное чередование логических сигналов 0 и 1. При этом с помощью элементов М2 (сложение по модулю 2) и импульсной периодической последовательности  $a$  осуществляется инверсия входных переменных  $x$  и преобразование их в импульсные парафазные сигналы  $x_a$  (рисунок 1). Элементы М2 реализуют функцию  $x_a = x \oplus a$ .

Период последовательности  $a$  содержит два такта. В информационном такте 1 значение сигнала  $x_a$  равно значению сигнала  $X$ , а в контрольном такте 2 значение  $x_a$  инверсно значению  $\bar{X}$ . При такой организации входов  $x$  выходные сигналы схемы, реализующей самодвойственную функцию, на основании свойства (1) представляют собой также импульсные парафазные сигналы. При этом неисправности в схеме обнаруживаются за счёт нарушения парафазности в одном из периодов импульсной последовательности выходного сигнала вследствие того, что функция, реализуемая неисправной схемой, переходит в класс несамодвойственных функций.

В [7] исследован стандартный способ получения самодвойственных структур. Пусть схема реализует некоторую булеву функцию  $F$ . Самодвойственная функция  $S$ , соответствующая функции  $F$ , может быть получена с помощью стандартной формулы:

$$S = \bar{a}F \vee aG, \quad (2)$$

где  $G$  – функция, двойственная функции  $F$ . Функция  $G$  получена из функции  $F$  путём замены операторов “И” на операторы “ИЛИ” и наоборот.

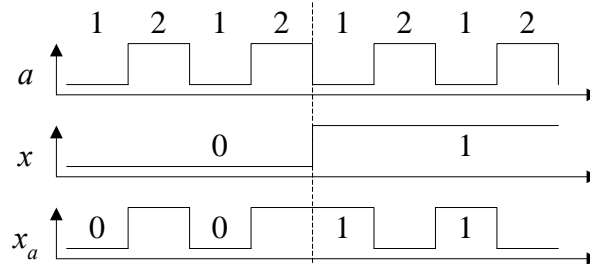


Рисунок 1

Например, если

$$F = \bar{x}_3 \bar{x}_4 \vee (\bar{x}_1 x_3 \vee x_2 x_3 \vee \bar{x}_1 x_2) x_4,$$

то

$$\begin{aligned} G &= (\bar{x}_3 \vee \bar{x}_4) [(\bar{x}_1 \vee x_3)(x_2 \vee x_3)(\bar{x}_1 \vee x_2) \vee x_4] = \\ &= \bar{x}_3 x_4 \vee (\bar{x}_1 x_3 \vee x_2 x_3 \vee \bar{x}_1 x_2) x_4 \end{aligned}$$

и

$$S = \bar{a}F \vee aG = \bar{a} [\bar{x}_3 \bar{x}_4 \vee (\bar{x}_1 x_3 \vee x_2 x_3 \vee \bar{x}_1 x_2) x_4] \vee a [\bar{x}_3 x_4 \vee (\bar{x}_1 x_3 \vee x_2 x_3 \vee \bar{x}_1 x_2) x_4].$$

Аналогичное преобразование может быть применено и для схем с обратными связями. На рисунке 2 приведена схема  $RS$  – триггера в виде бистабильной ячейки. В соответствии с формулой (2) она может быть преобразована в самодвойственную схему двумя способами. Первый способ заключается в замене каждого логического элемента, входящего в структуру триггера, самодвойственной эквивалентной схемой этого элемента (см. рисунок 3). Второй способ (см. рисунок 4) предусматривает построение обратной схемы, которая реализует функции  $G$ , двойственные функциям, реализуемым исходной схемой. Выходы исходной и обратной схем объединяются в соответствии с формулой (2).

Третий способ реализации структуры самодвойственного триггера проиллюстрируем на примере  $T$ –триггера. Он состоит в синтезе схемы как автомата, заданного временной диаграммой (рисунок 5). На временной диаграмме указаны все возможные случаи изменения входного сигнала триггера  $T$  при соответствующих внутренних состояниях. Последние однозначно соответствуют значениям выходного сигнала  $Q$ . Так период 1 соответствует случаю, когда триггер находится в состоянии 0 ( $Q = 0$ ) и на его входе присутствует пассивный сигнал ( $T = 0$ ). Данное состояние рассматривается как исходное состояние триггера.

Переход от периода 1 к периоду 2 соответствует случаю, когда на входе триггера сохраняется значение сигнала  $T = 0$  при нулевом состоянии триггера. При этом триггер остаётся в этом же состоянии ( $Q = 0$ ). Переход от периода 2 к периоду 3 соответствует случаю смены значения входного сигнала с 0 на 1 при нулевом состоянии триггера. При этом триггер переходит в состояние 1 ( $Q = 1$ ) и т.д.

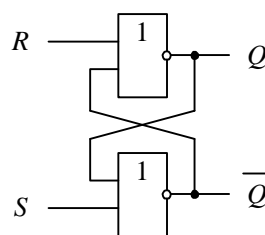


Рисунок 2 – Схема бистабильной ячейки

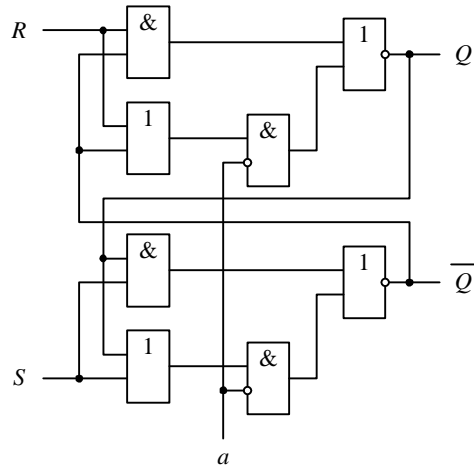


Рисунок 3 – Схема самодвойственного эквивалента бистабильной ячейки

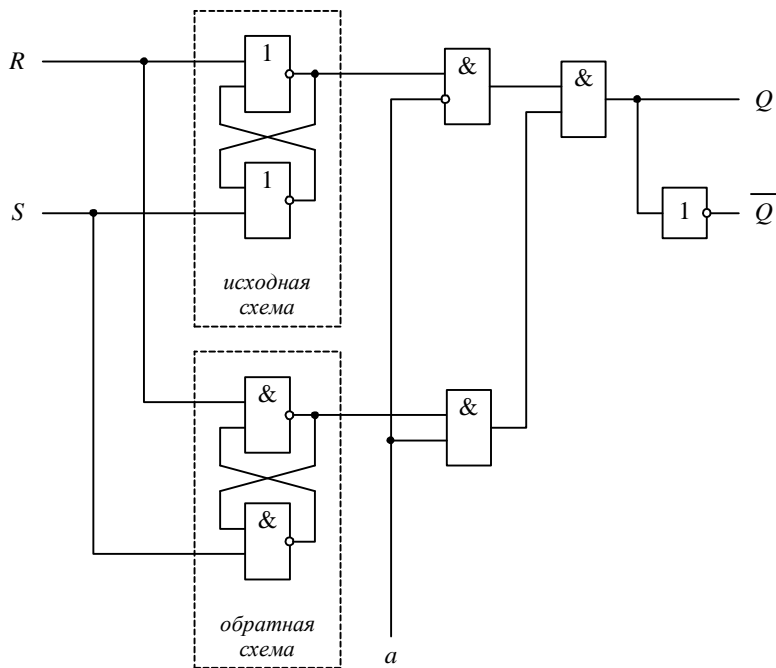


Рисунок 4 – Схема самодвойственной бистабильной ячейки

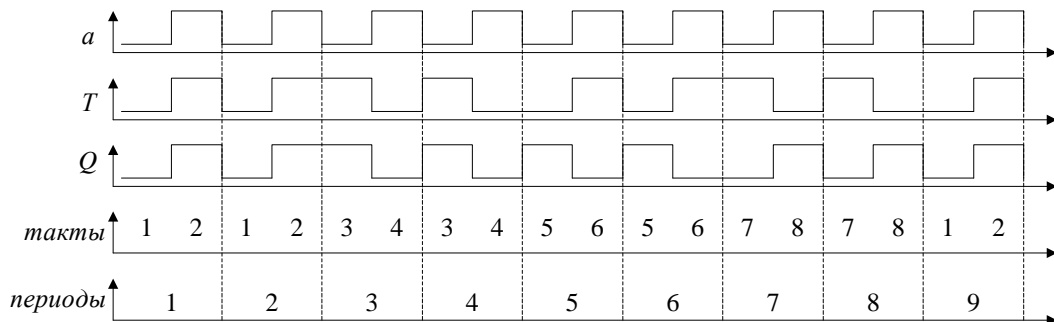


Рисунок 5 – Временная диаграмма работы самодвойственного T-триггера

По временной диаграмме составлена первичная таблица переходов (таблица 1). Число строк таблицы равно числу различных тактов временной диаграммы. Номер устойчивого состояния совпадает с номером такта, который реализуется данным состоянием. Например, такт 1 временной диаграммы реализуется устойчивым состоянием (1), расположенным в столбце 00 ( $a = 0, T = 0$ ), а такт 2 – устойчивым состоянием (2), расположенным в столбце 11 и т.д. таблица переходов содержит большее число переходов, чем имеется во временной диаграмме. Часть из них соответствует клеткам таблицы, в которых проставлено обозначение неопределённого состояния ( $\sim$ ). Такие переходы не могут возникать в работе схемы, так как они связаны с искажениями дополнительного сигнала  $a$ , которые невозможны. Так неопределённое состояние, расположенное в клетке на пересечении столбца 01 и строки 1, соответствует переходу, который осуществляется под воздействием следующего изменения входов:  $00 \rightarrow 01$ . В этом случае сигнал  $a$  имеет одно и то же значение в соседних тактах, что может быть только при искажении сигнала  $a$ .

Таблица 1 – Первичная совмещённая таблица переходов самодвойственного  $T$ -триггера

$s$	$a T$			
	00	01	10	11
1.	(1), 0	$\sim$	(1), 0 *	2, 1
2.	1, 0	3, 1	$\sim$	(2), 1
3.	$\sim$	(3), 1	4, 0	(3), 1 *
4.	5, 1	3, 1	(4), 0	$\sim$
5.	(5), 1	$\sim$	(5), 1 *	6, 0
6.	5, 1	7, 0	$\sim$	(6), 0
7.	$\sim$	(7), 0	8, 1	(7), 0 *
8.	1,0	7, 0	(8), 1	$\sim$

Другая часть указанных переходов соответствует клеткам, отмеченных знаком \*. Такие переходы возникают в работе схемы при искажении входного сигнала  $T$ , когда в некотором периоде самодвойственный сигнал заменяется на несамодвойственный. Например, в клетке таблицы на пересечении строки 1 и столбца 10 задан переход для случая, когда в обоих тактах периода значение сигнала  $T = 0$ . При этом переход определяется таким образом, чтобы выходной сигнал  $Q$  также имел несамодвойственную форму представления.

Таким образом, таблица 1 задаёт самодвойственную схему, которая при наличии на входе самодвойственного сигнала реализует логику  $T$ -триггера, а при поступлении на вход несамодвойственного сигнала формирует на выходе также несамодвойственный сигнал.

Таблица 1 имеет четыре пары совместимых строк {1, 2}, {3, 4}, {5, 6} и {7, 8} и поэтому минимизированная таблица (таблица 2) переходов имеет четыре строки. Кодирование строк приведено в правом крайнем столбце таблицы 2.

Таблица 2 – Минимизированная совмещённая таблица переходов T-триггера

s	a T				Коды строк
	00	01	10	11	y <sub>1</sub> y <sub>2</sub>
1.	(1), 0	2, 1	(1), 0	(1), 1	01
2.	3, 1	(2), 1	(2), 0	(2), 1	11
3.	(3), 1	4, 0	(3), 1	(3), 0	10
4.	1, 0	(4), 0	(4), 1	(4), 0	00

Таблица 3 – Кодированная совмещённая таблица переходов T-триггера

y <sub>1</sub> y <sub>2</sub>	a T			
	00	01	10	11
01	(01), 0	11, 1	(01), 0	(01), 1
11	10, 1	(11), 1	(11), 0	(11), 1
10	(10), 1	00, 0	(10), 1	(10), 0
00	01, 0	(00), 0	(00), 1	(00), 0

Кодированная ТП представлена таблицей 3, которая задаёт следующую систему функций:

$$\begin{aligned}
 y_1 &= a y_1 \vee \bar{T} y_1 \vee \bar{a} T y_2, \\
 y_2 &= a y_2 \vee T y_2 \vee \bar{a} \bar{T} \bar{y}_1, \\
 Q &= T y_2 \vee \bar{a} \bar{T} y_1 \vee a \bar{T} \bar{y}_2.
 \end{aligned}$$

Схема самодвойственного T-триггера приведена на рисунке 6. Сигнал установки приводит схему в устойчивое состояние (1) при значении входов aT = 00.

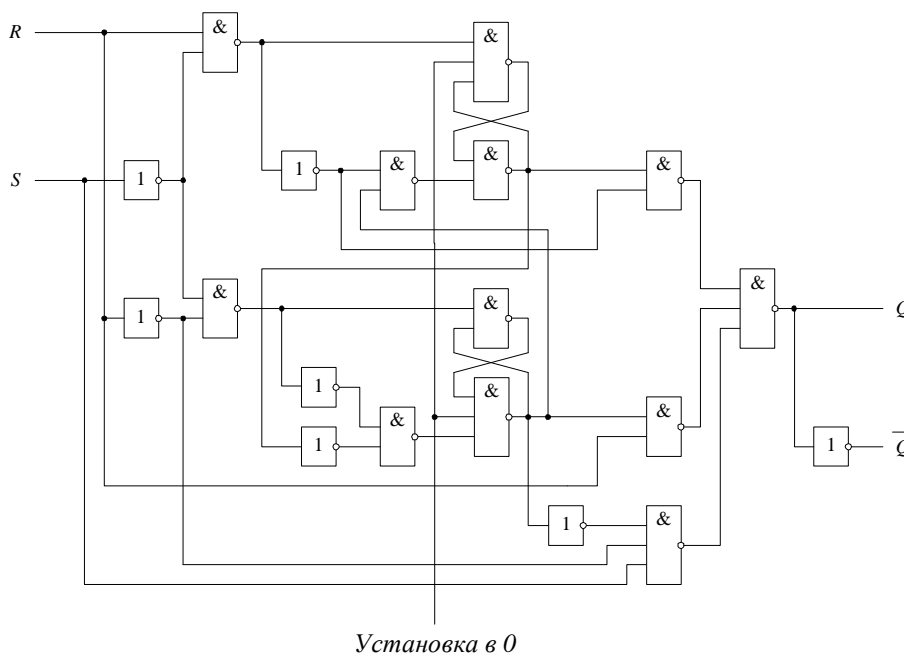


Рисунок 6 – Схема самодвойственного T-триггера

## Литература

1. Rao T. R. N., Fujiwara E. Error Control Coding for Computer Systems. Prentice Hall, 1989.
2. Сапожников В.В., Сапожников Вл.В. Самопроверяемые дискретные устройства. СПб.: Энергоатомиздат, 1992.
3. Романкевич А.М., Остафин В.А. Особенности построения самопроверяемых схем декодирования при наличии запаса времени контроля // Управляющие системы и машины. 1976. № 4. С. 83 – 87.
4. Saposhnikov V.I., Dmitriev A., Saposhnikov V.V., Goessel M. Self-dual parity checking – a new method for on-line testing // Proc. 14<sup>th</sup> IEEE VLSI Test Symp., Princeton, New Jersey, 1996. P. 162 – 168.
5. Moshanin V., Saposhnikov V.I., Saposhnikov V.V., Goessel M. Synthesis of self-dual multi-output combinational circuits for on-line testing // In 2<sup>nd</sup> IEEE Int. On-line testing Workshop. Biarritz, France, 1996. P. 107 – 111.
6. Dmitriev A., Saposhnikov V.I., Saposhnikov V.V., Goessel M. Self-dual duplication – a new method for on-line testing // In 3<sup>rd</sup> IEEE Int. On-line Testing Workshop. Crete, Greece, 1997. P. 213 – 217.
7. Гессель М., Мошанин В.И., Сапожников В.В., Сапожников Вл.В. Обнаружение неисправностей в самопроверяемых комбинационных схемах с использованием свойств самодвойственных функций // Автоматика и телемеханика. 1997. № 12. С. 193 – 200.
8. Morosov A., Saposhnikov V.V., Saposhnikov V.I., Goessel M. Design of self-dual fault-secure combinational circuit // In 3<sup>rd</sup> IEEE Int. On-line Testing Workshop. Crete, Greece, 1997. P. 233 – 237.
9. Saposhnikov V.V., Saposhnikov V.I., Dmitriev A., Goessel M. Self-dual duplication for error detection // In. Proc. 7<sup>th</sup> Asian Test Symposium. Singapore. 1998. P. 296 – 300.
10. Saposhnikov V.I., Moshanin V., Saposhnikov V.V., Goessel M. Experimental results for self-dual multi-output combinational circuits // Journal of Electronic Testing: Theory and Applications. 1999. № 14. P. 295 – 300.
11. Гессель М., Дмитриев А.В., Сапожников В.В., Сапожников Вл.В. Само тестируемая структура для функционального обнаружения отказов в комбинационных схемах // Автоматика и телемеханика. 1999. № 11. С. 162 – 174.
12. Гессель М., Морозов А.А., Сапожников В.В., Сапожников Вл.В. Построение самопроверяемых комбинационных схем на основе свойств самодвойственных функций // Автоматика и телемеханика. 2000. № 2. С. 151 – 163.
13. Гессель М., Дмитриев А.В., Сапожников В.В., Сапожников Вл.В. Обнаружение неисправностей в комбинационных схемах с помощью самодвойственного контроля // Автоматика и телемеханика. 2000. № 7. С. 140 – 149.
14. Dmitriev A., Saposhnikov V.V., Saposhnikov V.I., Goessel M., Moshanin V., Morosov A. New self-dual circuits for error detection and testing // VLSI Design. 2000. Vol. 11. P. 1 – 21.

## Статья опубликована

Сапожников В.В., Сапожников Вл.В., Валиев Р.Ш. Синтез самодвойственных элементов памяти // Современные информационные технологии, электронные системы и приборы: Межвузовский сборник научных трудов. Екатеринбург, 2001. – Вып. 21 (103). С. 33 – 41.