

УДК 681.326.7

В.В. Сапожников – доктор технических наук (ПГУПС)

Вл.В. Сапожников – доктор технических наук (ПГУПС)

Р.Ш. Валиев – кандидат технических наук (НИЛ КСА)

О СИНТЕЗЕ САМОДВОЙСТВЕННЫХ ЛОГИЧЕСКИХ СХЕМ С ПАМЯТЬЮ

Рассматриваются принципы построения многотактных логических схем, работающих во временной парафазной (самодвойственной) логике. Исследованы способы реализации самодвойственных триггеров.

Ключевые слова: многотактная схема, триггер, самодвойственная функция, парафазная логика.

В работах [1 – 10] исследованы вопросы применения свойств самодвойственных функций для организации функционального контроля комбинационных логических схем. Функция $f(x_1, x_2, \dots, x_n)$ называется самодвойственной, если

$$f(x_1, x_2, \dots, x_n) = \bar{f}(\bar{x}_1, \bar{x}_2, \dots, \bar{x}_n), \quad (1)$$

где двоичные наборы (x_1, x_2, \dots, x_n) и $(\bar{x}_1, \bar{x}_2, \dots, \bar{x}_n)$ являются противоположными, т. е. имеют противоположные значения в одноименных разрядах. Из (1) следует, что самодвойственная функция имеет противоположные значения на противоположных наборах. В таблице истинности (ТИ) противоположные наборы расположены симметрично относительно средней линии. Например, в табл. 1 такие наборы составляют следующие пары: (0,7), (1,6), (2,5) и (3,4). В этой таблице задана одна из возможных самодвойственных функций от трех переменных: $f = \bar{x}_1 x_2 \vee \bar{x}_1 \bar{x}_3 \vee x_2 \bar{x}_3$.

На рис. 1 показана структура функционального контроля комбинационной схемы. Обозначим заданную схему через F . На ее входы поступают переменные x_1, x_2, \dots, x_n , а на выходах реализуются функции f_1, f_2, \dots, f_m . При помощи элементов «сложение по модулю 2» (элементов М2) входные переменные x_1, x_2, \dots, x_n преобразуются в импульсные сигналы $x_1^c, x_2^c, \dots, x_n^c$. Для этого на вторые входы элементов М2 подается последовательность прямоугольных импульсов a , вырабатываемую генератором Γ . Выходы элементов М2 образуют новые входы схемы, на которые поступают сигналы x_i^c (рис. 2).

Период последовательности a содержит два такта (1 и 2). В информационном такте 1 значение сигнала x^c равно значению сигнала x , а в контрольном такте 2 – инверсно значению x . При такой организации переменных x на входы схемы в информационном такте 1 поступают действующие входные наборы $X = \{x_1, x_2, \dots, x_n\}$, а в контрольном такте 2 – инверсные \bar{X} .

Таблица 1

№ n/n	x_1	x_2	x_3	f
0.	0	0	0	1
1.	0	0	1	0
2.	0	1	0	1
3.	0	1	1	1
4.	1	0	0	0
5.	1	0	1	0
6.	1	1	0	1
7.	1	1	1	0

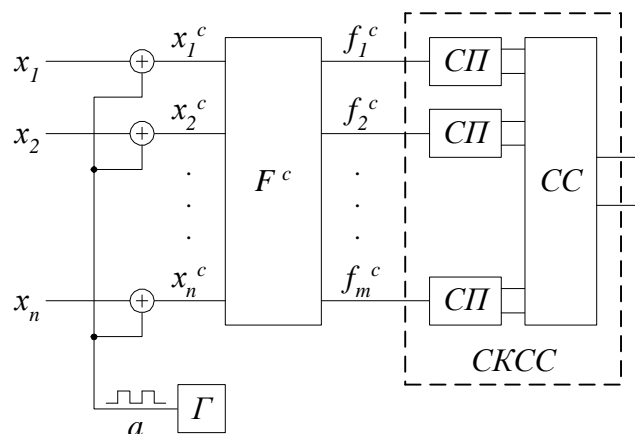


Рисунок 1

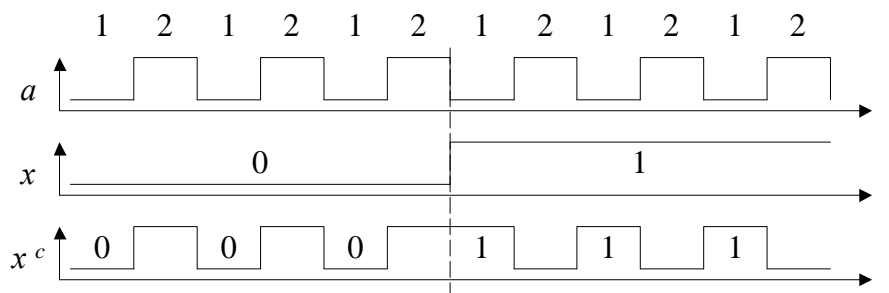


Рисунок 2

Если входные сигналы x_i^c поступают на вход схемы F^c , которая описывается самодвойственными функциями (СД – функциями) $f_1^c, f_2^c, \dots, f_m^c$, то в силу свойства (1) выходные сигналы будут представлять собой импульсные последовательности, аналогичные последовательности x^c на рис. 2.

Неисправности в схеме F^c (см. рис. 1) приводят к искажению одной или нескольких функций $f_1^c, f_2^c, \dots, f_m^c$. В результате искажения эти функции переходят в класс не-самодвойственных и поэтому на выходах возникают несамо-двойственные последовательности выходных сигналов. Это фиксируется схемой контроля само-двойственных

сигналов (*СКСС*) [1]. В структуру *СКСС* входят самодвойственные преобразователи (*СП*), которые осуществляют преобразование *СД* – сигнала в пространственный парафазный. Если на вход *СП* поступает несамодвойственный сигнал, то на его выходах формируются одинаковые значения. Парафазные сигналы контролируются при помощи схемы сравнения (*СС*). Обнаруживаются также отказы входов схемы F^c , которые приводят к замене импульсных входных сигналов x^c на непрерывные. В [6] показано, что в структуре (см. рис.1) обнаруживается 99,9% одиночных неисправностей схемы F^c и 100% отказов входов x^c .

Заданная схема F в общем случае описывается несамодвойственными функциями, поэтому она преобразуется в схему F^c методами, рассмотренными в [3 – 4, 6, 8 – 9].

Первый метод преобразования заключается в замене в исходной схеме F каждого логического элемента (*ЛЭ*) его самодвойственным эквивалентом. Логическое описание самодвойственных *ЛЭ* формируется путем преобразования реализуемой ими функции, в самодвойственную с использованием дополнительной переменной a . В [3] приведены *ТИ* самодвойственных элементов простого базиса и их логические описания.

Второй метод преобразования поясняется рис. 3. Для построения схемы F^c основная схема F дополняется обратной F' , которая образуется из F путем замены в ее структуре элементов *И* на элементы *ИЛИ* и наоборот. Вся структура, показанная на рис. 3, оптимизируется относительно выходов $f_1^c, f_2^c, \dots, f_m^c$. Исследования, проведенные в [4, 6], показали, что сложность схемы F^c составляет не более 170% от сложности исходной схемы.

В [10] исследована структура самодвойственной самопроверяемой многотактной схемы (*СМС*), представленная на рис. 4. Для ее построения комбинационная часть (логический преобразователь *ЛП* и выходной преобразователь *ВП*) исходной схемы преобразуется в *СД* – схему в соответствии с рис. 3. В образованной схеме *ЛП* описывается *СД* – функциями $y_1^c, y_2^c, \dots, y_k^c$, а *ВП* – *СД* – функциями $z_1^c, z_2^c, \dots, z_m^c$. Элементы памяти (*ЭП*) показаны в виде двух линий задержки (*ЛЗ*), включенных последовательно. Каждая *ЛЗ* осуществляет задержку на время, равное половине периода импульсной последовательности a . Данное изображение *ЭП* подчеркивает тот факт, что переход из одного состояния в другое в самодвойственной многотактной схеме с памятью требует в 2 раза больше времени, чем в обычной. Структура (см. рис. 4), содержащая блок *ЛП* (схема F^c), блок *ВП* (схема Z^c) и *ЛЗ*, оптимизируется при помощи стандартной системы программ оптимизации. Контроль схемы осуществляется при помощи *СКСС*, подключенной к выходам $z_1^c, z_2^c, \dots, z_m^c$.

Результаты исследования [10] показали, что сложность самодвойственной *МС* в среднем составляет 178,5% от сложности исходной схемы. В *СМС* обнаруживается 97,5% одиночных неисправностей и 98,9% отказов входных линий. Самодвойственные *СМС* обладают лучшей латентностью по сравнению с обычными схемами. Под латентностью понимается величина $L(t)$, которая определяет в процентах количество неисправностей, которые обнаруживаются при подаче на вход схемы псевдослучайной последовательности $X_1 X_2 \dots X_i \dots X_r$ в момент времени t (при подаче входного вектора X_t). Например, за первые 10 тактов входной последовательности в *СД* – схеме обнаруживается 59,7% одиночных неисправностей, а в схеме, работающей в обычной логике, – 46,6%.

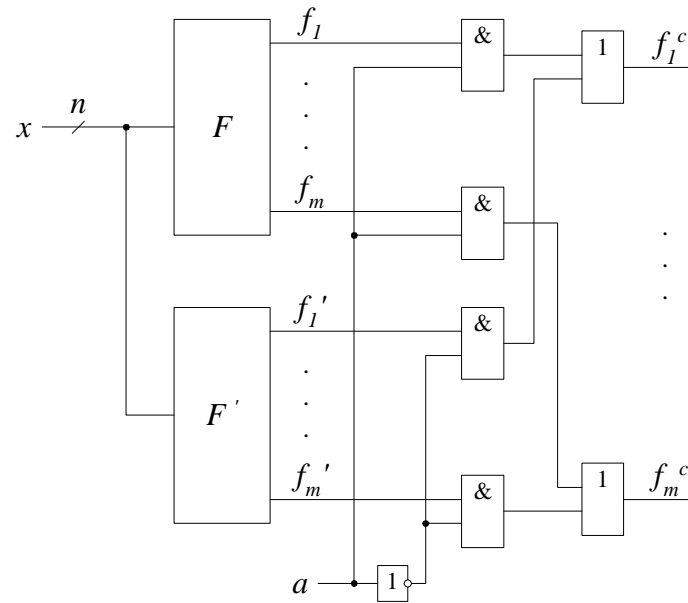


Рисунок 3

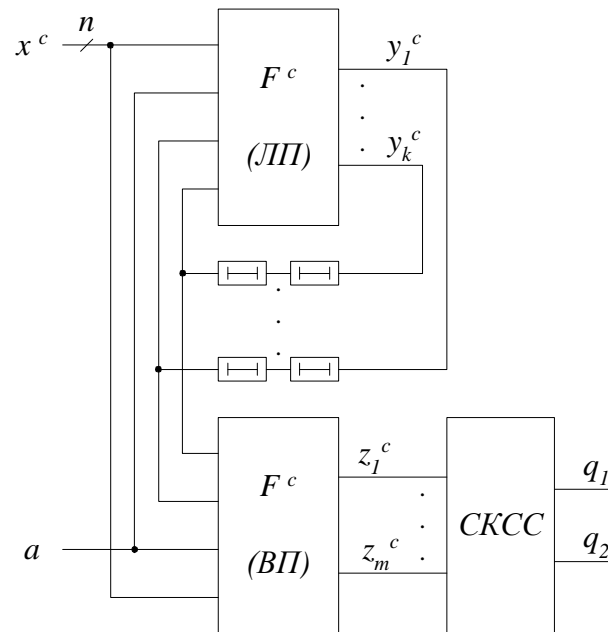


Рисунок 4

Реализация самодвойственных многотактных схем на триггерах. На рис. 5 приведена структура МС, в которой в качестве ЭП применяются триггеры с одним входом (T – триггеры). При использовании ЭП с двумя входами (например, JK – триггеров) ЛП формирует два отдельных сигнала воздействия на входы триггеров. Для организации контроля структуры используются два тестера [11, 12]. СПТ1 контролирует вектор кода на выходах ЭП и обнаруживает неисправности ВП. Выходные сигналы СПТ1 и СПТ2 при помощи СС объединяются в единый сигнал контроля. Для построения данной структуры вносится избыточность в число ЭП и в схемы ЛП и ВП.

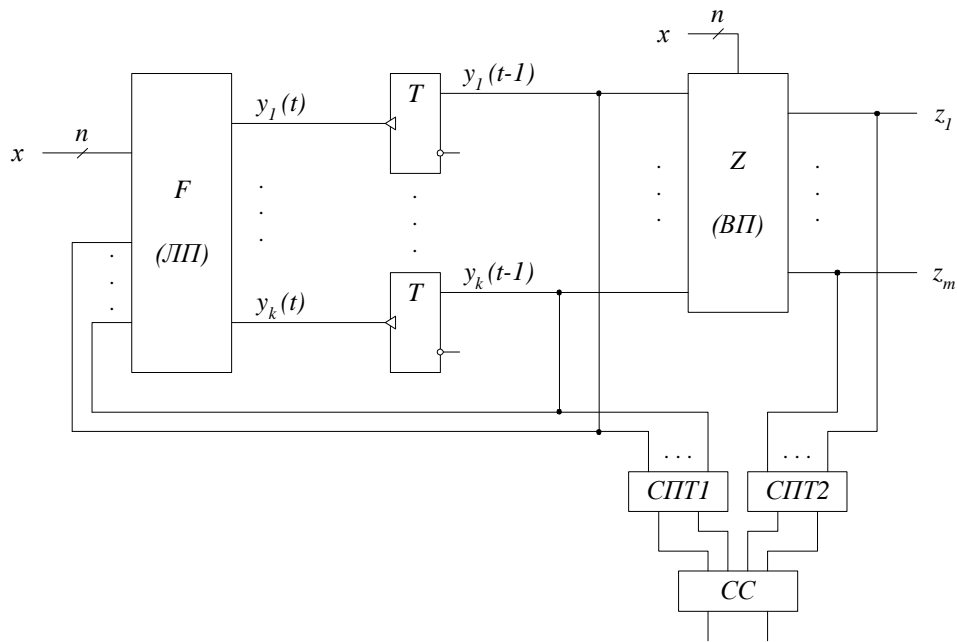


Рисунок 5

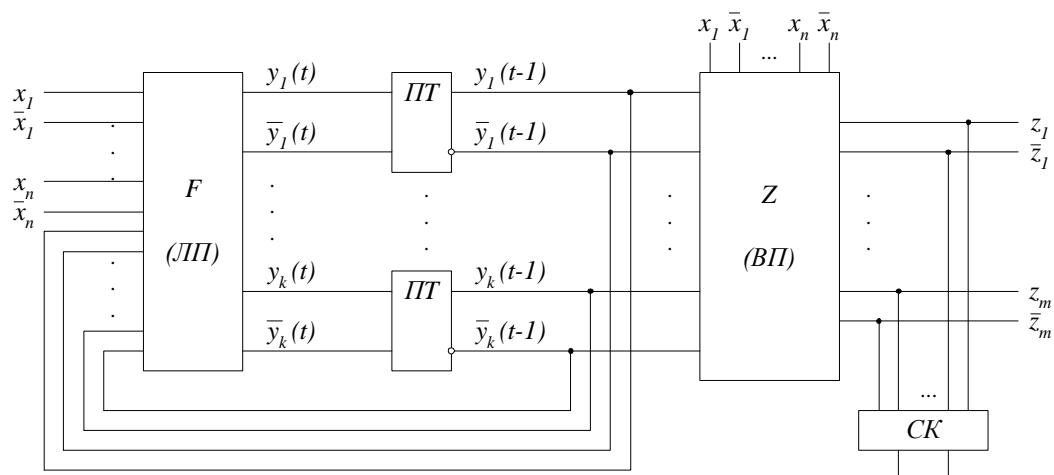


Рисунок 6

На рис. 6 приведена предложенная в [12] структура самопроверяемой МС, работающей в пространственной парафазной логике, в которой в качестве ЭП используются самопроверяемые парафазные триггеры (ПТ). Вход и выход ПТ являются парафазными. Триггер обладает следующим свойством: при установлении на его входах одинаковых сигналов и при возникновении в его структуре одиночных неисправностей на выходах ПТ формируются также одинаковые сигналы. ВП реализует парафазные функции. Неисправности во всех блоках МС обнаруживаются по нарушению парафазности сигналов на выходах ВП, что фиксируется при помощи подключенной к ним схемы контроля (СК).

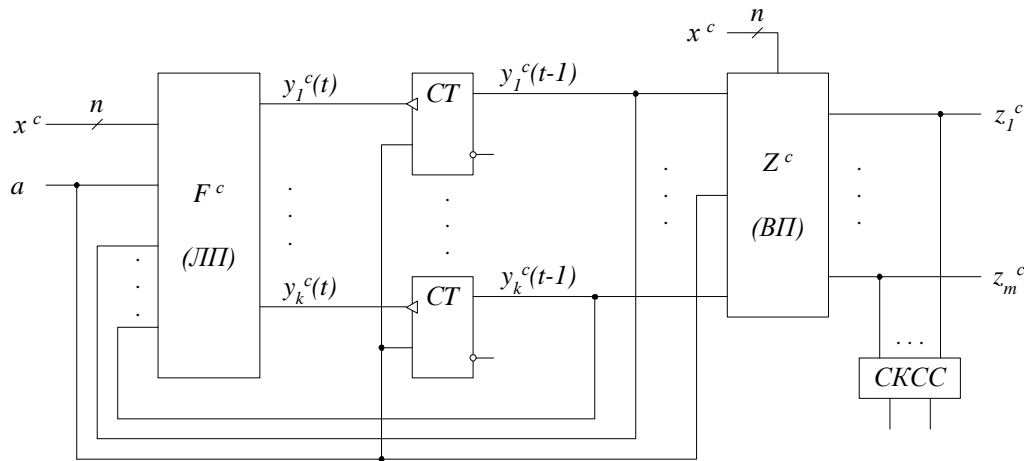


Рисунок 7

Аналогичная структура СМС, работающая во временной парафазной логике, показана на рис. 7. Комбинационные блоки структуры (ЛПИ и ВПИ) приводятся к самодвойственному виду (блоки F^c и Z^c) в соответствии с рис. 3. Блок памяти образуют самодвойственные триггеры (СТ), которые представляют собой элементарные ЭП, работающие в самодвойственной логике. СТ обладает следующим свойством: при поступлении на его вход несамодвойственного сигнала и при возникновении в его структуре одиночных неисправностей на выходе триггера возникает несамодвойственный сигнал. Неисправности во всех блоках схемы обнаруживаются по нарушению самодвойственности на выходах блока ВПИ, подключенных к СКСС.

В парафазных самопроверяемых структурах (см. рис. 6 и 7) в отличие от схемы, работающей в обычной логике (см. рис. 5), не требуется увеличение числа ЭП по сравнению с неизбыточной МС.

Синтез самодвойственного Т-триггера. Рассмотрим Т-триггер (рис. 8) как автомат, работа которого задана временной диаграммой (рис. 9). На временной диаграмме указаны все возможные случаи изменения входного сигнала триггера Т при соответствующих внутренних состояниях. Последние однозначно соответствуют значениям выходного сигнала Q. Так, период 1 соответствует случаю, когда триггер находится в состоянии 0 ($Q=0$) и на его входе присутствует пассивный сигнал ($T=0$). Данное состояние рассматривается как исходное для схемы триггера.

Переход от периода 1 к периоду 2 соответствует случаю, когда на входе триггера сохраняется значение сигнала $T=0$ при нулевом состоянии триггера. В этом случае триггер остается в этом же состоянии ($Q=0$). Переход от периода 2 к периоду 3 соответствует случаю смены значения входного сигнала с 0 на 1 при нулевом состоянии триггера. При этом триггер переходит в состояние 1 ($Q=1$). Переход от периода 3 к периоду 4 соответствует сохранению на входе значения $T=1$ при единичном состоянии триггера, которое при этом сохраняется. Переход от периода 4 к периоду 5 отвечает случаю, когда входной сигнал изменяет свое значение с 1 на 0 при единичном состоянии триггера, которое сохраняется. Переход от периода 5 к периоду 6 соответствует сохранению на входе значения $T=0$ при единичном значении триггера, которое также в этом случае сохраняется. При переходе от периода 6 к периоду 7 изменяется значение входа с 0 на 1, что вызывает переключение триггера из нулевого в единичное состояние. Переход от периода 7 к периоду 8 соответствует случаю, когда значение

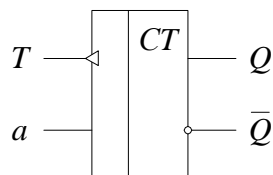


Рисунок 8

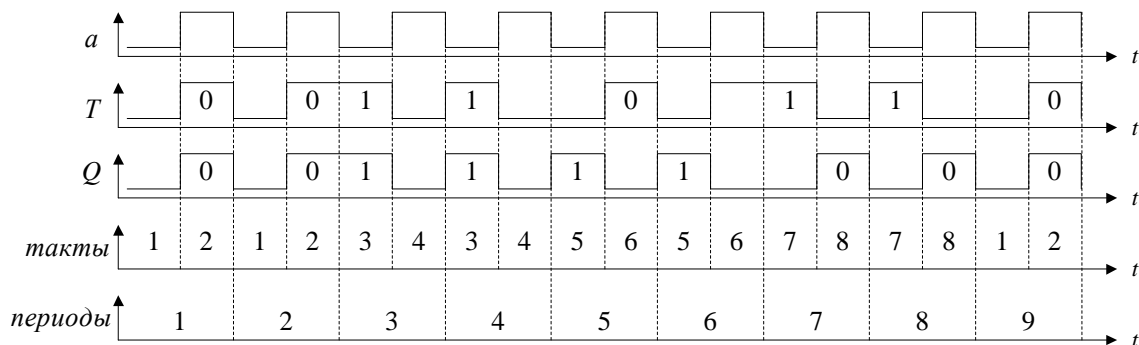


Рисунок 9

Таблица 2

s	aT			
	00	01	10	11
1.	(1), 0	~	(1), 0 *	2, 1
2.	1, 0	3, 1	~	(2), 1
3.	~	(3), 1	4, 0	(3), 1 *
4.	5, 1	3, 1	(4), 0	~
5.	(5), 1	~	(5), 1 *	6, 0
6.	5, 1	7, 0	~	(6), 0
7.	~	(7), 0	8, 1	(7), 0 *
8.	1, 0	7, 0	(8), 1	~

входа $T = 1$ сохраняется при нулевом состоянии триггера, которое при этом не изменяется. И, наконец, переход от периода 8 к периоду 9 отвечает случаю изменения входного сигнала с 1 на 0 при нулевом состоянии триггера, которое сохраняется. При этом триггер оказывается в исходном состоянии.

По временной диаграмме составлена первичная таблица переходов (ТП). Число строк ТП (табл. 2) равно числу различных тактов временной диаграммы. Номер устойчивого состояния совпадает с номером такта временной диаграммы, который реализуется данным состоянием. Например, такт 1 временной диаграммы реализуется устойчивым состоянием (1), расположенным в столбце 00 ($a = 0, T = 0$), а такт 2 – устойчивым состоянием (2), расположенным в столбце 11 и т.д. Таблица переходов содержит большее число переходов, чем имеется на временной диаграмме. Часть таких переходов соответствует клеткам ТП, в которых проставлено обозначение неопределенного состояния (~). Такие переходы не могут возникать в работе схемы, т. к. они связаны с

Таблица 3

s	aT				Коды строк y_1y_2
	00	01	10	11	
1.	(1), 0	2	(1), 0	(1), 1	0 1
2.	3	(2), 1	(2), 0	(2), 1	1 1
3.	(3), 1	4	(3), 1	(3), 0	1 0
4.	1	(4), 0	(4), 1	(4), 0	0 0

Таблица 4

y_1y_2	aT			
	00	01	10	11
01	(01), 0	11, 1	(01), 0	(01), 1
11	10, 1	(11), 1	(11), 0	(11), 1
10	(10), 1	00, 0	(10), 1	(10), 0
00	01, 0	(00), 0	(00), 1	(00), 0

искажениями дополнительного сигнала a , которые невозможны. Так, неопределенное состояние, расположенное в клетке на пересечении столбца 01 и строки 1, соответствует переходу, который осуществляется под воздействием следующего изменения входов: $00 \rightarrow 01$. В этом случае сигнал a имеет одно и то же значение в соседних тактах, что может быть только при его искажении.

Другая часть указанных переходов соответствует клеткам, отмеченным знаком *. Такие переходы возникают в работе схемы при искажении входного сигнала T , когда в некотором периоде самодвойственный сигнал заменяется на несамодвойственный. Например, в клетке таблицы на пересечении строки 1 и столбца 10 задан переход для случая, когда в обоих тактах периода 1 значение сигнала $T = 0$. При этом переход определяется таким образом, чтобы выходной сигнал Q также имел несамодвойственную форму представления.

Таким образом, табл. 2 задает самодвойственную схему, которая при наличии на входе самодвойственного сигнала реализует логику T – триггера, а при поступлении на вход несамодвойственного сигнала формирует на выходе также несамодвойственный сигнал.

Табл. 2 имеет четыре пары совместимых строк {1, 2}, {3, 4}, {5, 6} и {7, 8}, поэтому минимизированная ТП (табл. 3) имеет четыре строки. Кодированная ТП представлена табл. 4, которая задает следующую систему функций:

$$\begin{aligned}
 y_1 &= a y_1 \vee \bar{T} y_1 \vee \bar{a} T y_2, \\
 y_2 &= a y_2 \vee T y_2 \vee \bar{a} \bar{T} \bar{y}_1, \\
 Q &= T y_2 \vee \bar{a} \bar{T} y_1 \vee \bar{a} \bar{T} \bar{y}_2.
 \end{aligned}
 \tag{2}$$

Схема самодвойственного T – триггера представлена на рис. 10. Сигнал «Установка в 0» приводит триггер в исходное устойчивое состояние (см. состояние 1 в табл. 3) при значениях входов $aT = 00$. Общее число одиночных константных неисправностей схемы равно 118. С целью оценки контролепригодности схемы проводилось моде-

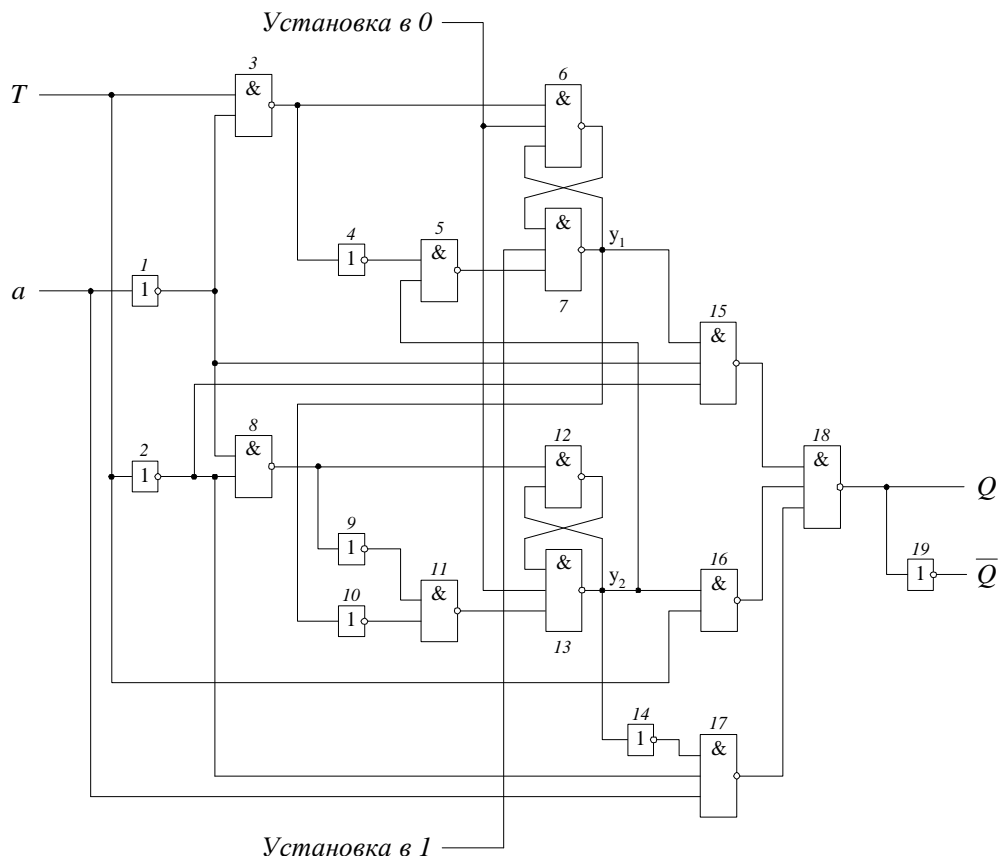


Рисунок 10

лирование ее работы на входной последовательности, соответствующей полному циклу работы, отраженному на временной диаграмме (см. рис. 9). При этом в схему вносилась каждая из возможных неисправностей.

Неисправность относилась к классу необнаруживаемых, если в каждом периоде выходной последовательности Q значение сигнала в контрольном такте было инверсно значению сигнала в информационном такте.

На рис. 11 приведена временная диаграмма работы схемы триггера при возникновении в ней обнаруживаемой неисправности типа «константа 1» на втором (нижнем на схеме) входе элемента 11. Работа триггера отражена в периодах 4 и 5 входной последовательности T (см. рис. 9). В момент времени t_0 зафиксировано состояние элементов схемы в начале периода 4 для исправной схемы. Неисправность возникает в момент времени t_1 . Результатом этого является ложное переключение элемента 11 и непереключение элемента 13 в момент времени t_2 . В момент времени t_3 неправильно работает элемент 16 (переключается из состояния 1 в состояние 0) и выходной элемент 18 (сохраняет на выходе сигнал 1). В итоге сигнал Q в периоде 5 имеет в обоих тактах одинаковые значения. Поэтому неисправность обнаруживается.

На рис. 12 представлена временная диаграмма работы схемы триггера при возникновении необнаруживаемой неисправности типа «константа 1» на выходе элемента 5. Работа схемы отражена в тех же периодах. Появление ложного сигнала 1 в момент времени t_1 на выходе элемента 5 приводит к фиксации постоянного сигнала 0 на выхо-

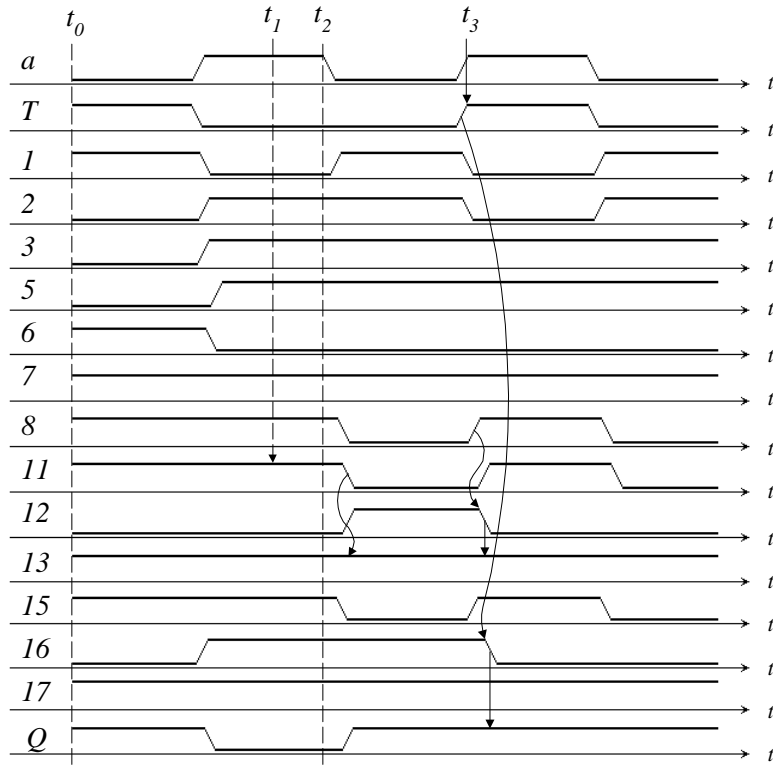


Рисунок 11

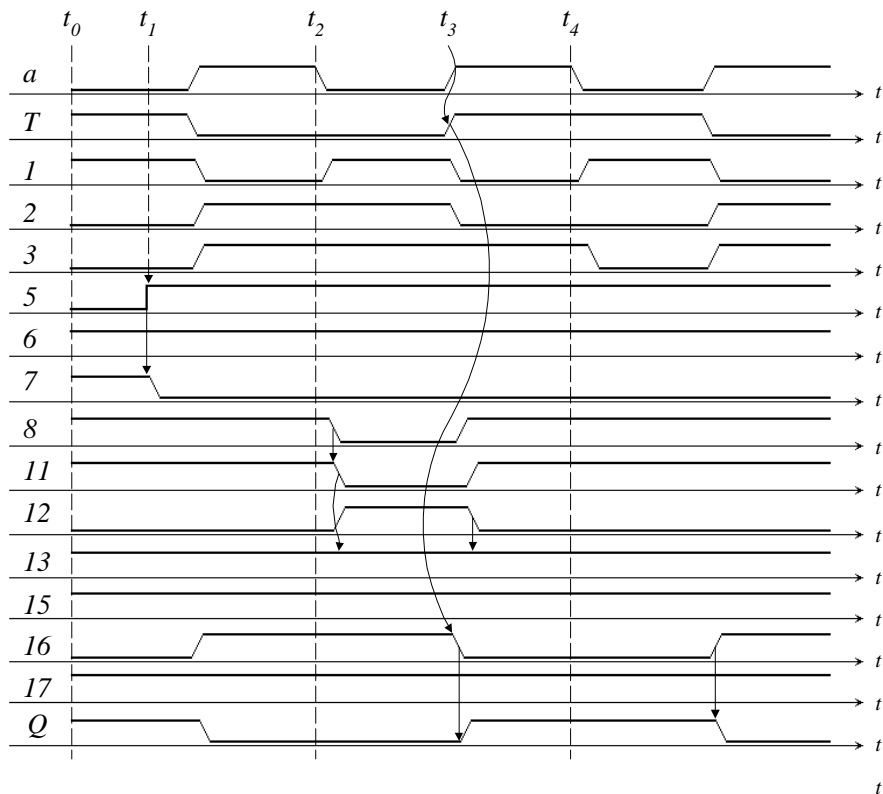


Рисунок 12

Таблица 5

s	Коды строк			
	y_1	y_2	y_3	y_4
1.	1	0	1	0
2.	0	1	1	0
3.	0	1	0	1
4.	1	0	0	1

Таблица 6

Коды строк	s	aT			
		$b_1 = 00$	$b_2 = 01$	$b_3 = 10$	$b_4 = 11$
10 10	1.	(1010), 0	0110	(1010), 0	(1010), 1
01 10	2.	0101	(0110), 1	(0110), 0	(0110), 1
01 01	3.	(0101), 1	1001	(0101), 1	(0101), 0
10 01	4.	1010	(1001), 0	(1001), 1	(1001), 0

де элемента 7 (элемент памяти y_1 удерживается в состоянии 0 вне зависимости от дальнейших изменений сигналов a и T). В момент времени t_2 в исправной схеме должно происходить переключение ЭП y_2 , реализованного на элементах 12 и 13. Однако, неверно работает элемент 11, который связан с элементом 7. На выходе элемента 11 вместо сигнала 1 устанавливается сигнал 0. В результате на выходе элемента 13 фиксируется постоянный сигнал 1. На выходах элементов 15 и 17 также фиксируются постоянные сигналы 1. Поэтому сигнал на выходе элемента 18 будет определяться только значением выхода элемента 16, который, в свою очередь, зависит только от значения сигнала T (т.к. $y_2 = 1$). Таким образом, $Q = T$ и поэтому данная неисправность не обнаруживается.

Эксперименты показали, что в схеме T – триггера (см. рис. 10) имеется 35 необнаруживаемых неисправностей. Таким образом, обнаруживается только 70,4% неисправностей и схема не может быть отнесена к разряду полностью самопроверяемых.

Для получения полностью самопроверяемого самодвойственного T – триггера применим для синтеза схемы по табл. 3 метод кодирования состояний по столбцам ТП [13, 14]. Метод предусматривает раздельное кодирование по каждому столбцу ТП устойчивых состояний при помощи специальных разделяющих переменных. Неустойчивому состоянию приписывается тот же код, что и устойчивому, к которому оно стремится. Общий код строки образуется как совокупность кодов, присвоенных состояниям, расположенным в этой строке. Для обеспечения свойства обнаружения отказов кодирование устойчивых состояний осуществляется словами кода с постоянным весом.

В табл. 5 приведено кодирование строк табл. 3. Переменные y_1 и y_2 применены для кодирования устойчивых состояний столбца $aT = 00$ словами кода «1 из 2». Аналогичным образом для кодирования устойчивых состояний столбца $aT = 01$ использованы переменные y_3 и y_4 . Для кодирования состояний столбцов 10 и 11 отдельных разделяющих переменных не выделяется, т.к. в них расположены только устойчивые состояния. В табл. 6 приведена полная кодированная ТП, по которой определяется следующая система функций:

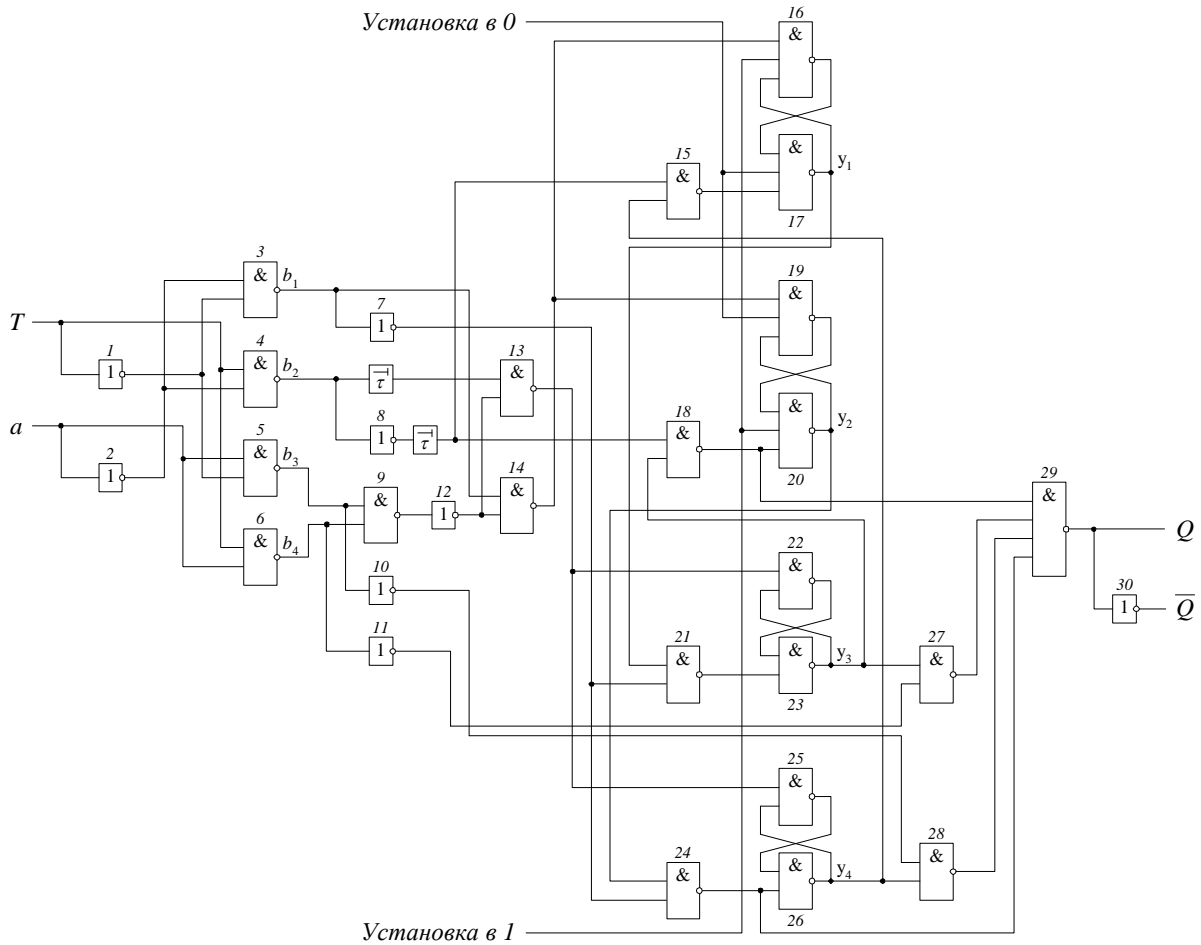


Рисунок 13

$$\begin{aligned}
 y_1 &= (b_1 \vee b_3 \vee b_4)y_1 \vee b_2y_4 \\
 y_2 &= (b_1 \vee b_3 \vee b_4)y_2 \vee b_2y_3 \\
 y_3 &= (b_2 \vee b_3 \vee b_4)y_3 \vee b_1y_1 \\
 y_4 &= (b_2 \vee b_3 \vee b_4)y_4 \vee b_1y_2 \\
 Q &= b_1y_2 \vee b_2y_3 \vee b_3y_4 \vee b_4y_3.
 \end{aligned}
 \tag{3}$$

Схема самодвойственного T – триггера (рис. 13), реализованная по системе функций (3), состоит из четырех бистабильных ячеек (элементы 16, 17, 19, 20, 22, 23, 25, 26) и имеет два вида обратных связей: обратные связи внутри бистабильных ячеек и обратные связи между ячейками. Введение в схему линий задержки обусловлено различием в путях распространения входных сигналов. Моделированием установлена величина линии задержки $\tau = 2 \cdot \tau_s$, где τ_s – время задержки сигнала одним элементом.

Установка схемы в исходное устойчивое состояние 1010 (см. табл. 6) осуществляется подачей на вход «Установка в 0» нулевого сигнала при наличии входного набора $aT = 00$. Данному исходному состоянию соответствует нулевое значение выхода. Единичное значение выхода соответствует состоянию 0101, в которое триггер может быть установлен при входном наборе $aT = 00$ подачей нулевого логического сигнала на вход «Установка в 1».

Таблица 7

Тип триггера	Самодвойственные триггеры			Парафазные триггеры		
	Число входов	Частично самопроверяемые		Полностью самопроверяемые	Число входов	N
		N	α , %			
<i>T</i>	2	19	70,4	30	2	18
<i>D</i>	2	9	82,0	15	2	27
<i>RS</i>	3	29	85,0	29	4	27
<i>JK</i>	3	42	75,0	42	4	62

Полный цикл переключений самодвойственного *T*–триггера происходит на входной последовательности временных парафазных сигналов aT вида: $00 \rightarrow 00 \rightarrow 01 \rightarrow 01 \rightarrow 00 \rightarrow 00 \rightarrow 01 \rightarrow 01 \rightarrow 00$. В этом случае схема последовательно проходит все свои состояния: $1010 \rightarrow 0110 \rightarrow 0101 \rightarrow 1001$. Обнаружение отказов происходит на входной последовательности: $00 \rightarrow 01 \rightarrow 00 \rightarrow 01 \rightarrow 00$. Эксперименты показали, что все 100% одиночных константных неисправностей схемы приводят к нарушению самодвойственности выходного сигнала триггера Q , т.е. обнаруживаются.

Практические результаты. В табл. 7 приведены характеристики основных самодвойственных триггеров, синтезированных рассмотренными выше методами. Через N обозначена сложность триггера, которая принимается равной числу элементов схемы, представленной в базисе И-НЕ, при условии отсутствия ограничения на число входов элементов. Линия задержки приравнена по сложности к одному элементу. Частично самопроверяемые триггеры реализуются при кодировании строк ТП кодом без избыточности. Для них указывается процент α , определяющий количество неисправностей, которые обнаруживаются при подаче рабочей входной последовательности сигналов. В среднем $\alpha = 78,1\%$.

Полностью самопроверяемые триггеры реализуются при кодировании строк ТП кодом с постоянным весом. В них обнаруживаются все 100% одиночных неисправностей. Такие триггеры с одним функциональным входом (*T*– и *D*– триггеры) примерно в 1,68 раза сложнее частично самопроверяемых, триггеры же с двумя функциональными входами равны по сложности. Последнее обстоятельство объясняется особенностями таблиц переходов *RS*– и *JK*– триггеров, а также тем, что метод кодирования состояний МС по столбцам ТП кодом с постоянным весом обеспечивает упрощение структуры логического преобразователя [13].

В табл. 7 представлены также характеристики парафазных триггеров [12], которые используются в качестве ЭП при реализации самопроверяемых схем, работающих в пространственной парафазной логике. Парафазный *T*– триггер реализуется по ТП (см. табл. 4.5 в [12]), которая описывает триггер как асинхронный автомат. Эта таблица существенно проще ТП самодвойственного триггера (см. табл. 3) и поэтому последний в 1,78 раза сложнее парафазного. Парафазные триггеры *D*– и *RS*– типа [12] содержат в себе парафазный *T*– триггер и схему логического управления его входами. Самодвойственный *RS*– триггер в 1,1 раза сложнее парафазного по той же причине, что указана

выше для T – триггера. Сложность самодвойственного D – триггера на 45% меньше сложности парафазного ввиду простоты его ТП. Парафазный JK – триггер содержит два парафазных T – триггера и схему логического управления их входами [12]; он в 1,48 раза сложнее самодвойственного. В ПТТ обнаруживаются 100% одиночных неисправностей за счет установления равенства сигналов на их выходах.

Важной характеристикой триггера является число входов. Триггеры T – и D – типа имеют по одному функциональному входу, а триггеры RS – и JK – типа по два таких входа. В парафазных триггерах число функциональных входов удваивается, т.к. каждый вход представляется в парафазном виде. В самодвойственных триггерах число функциональных входов не изменяется, но вводится один дополнительный для подачи вспомогательной переменной a .

В табл. 8 – 10 приведены результаты исследования латентности $L(t)$ парафазных и самодвойственных триггеров. В T – триггере все 100% одиночных константных неисправностей обнаруживаются на последовательности входных логических сигналов 01010. В табл. 8 для парафазного T – триггера показано (в первой строке таблицы), что при поступлении на вход первого логического сигнала 0 (в парафазном виде 01) обнаруживается 13% неисправностей ($L(t) = 13\%$). Это значит, что при наличии этих неисправностей на выходах триггера формируются одинаковые значения сигналов. Во второй строке таблицы показано, что при поступлении на вход триггера последовательности логических сигналов 01 (в парафазном виде: 01 → 10) обнаруживается 53% неисправностей и т.д. В табл. 10 приведены результаты аналогичного эксперимента с самодвойственным T – триггером. Существенной особенностью СТ в данном случае является то, что в случае присутствия на входе триггера постоянного логического сигнала 0 или 1 фактически на входы T и a поступают импульсные последовательности. Например, при наличии на входе логического сигнала 0 имеет место следующая последовательность aT : 00 → 11 → 00 → 11 → ... → 00 → 11. На входах же парафазного триггера в этом случае присутствуют непрерывные сигналы. Поэтому самодвойственный триггер обладает лучшей латентностью. В табл. 10 приведено сравнение триггеров между собой. В первом такте проверяющей последовательности в самодвойственном триггере обнаруживается в 3,46 раза больше неисправностей, чем в парафазном, а за первые три такта – в 1,43 раза больше. В табл. 12 приведены значения $L(t)$ для триггеров D – типа.

Самодвойственные и парафазные схемы обладают общим существенным достоинством. В них обеспечивается обнаружение неисправностей соединительных линий. Однако, если в самодвойственных схемах при этом избыточность в соединительные линии не вводится, то парафазные схемы требуют двойной избыточности. Но, с другой стороны, при использовании самодвойственной логики в два раза уменьшается быстродействие схем. Поэтому применение самодвойственных структур возможно в тех случаях, когда для решения задачи обнаружения неисправностей имеется резерв времени.

Таблица 8

Логическое значение входного сигнала	Входная последовательность	$L(t)$, %
0	01	13
1	01 → 10	53
0	01 → 10 → 01	63
1	01 → 10 → 01 → 10	94
0	01 → 10 → 01 → 10 → 01	100

Таблица 9

Логическое значение входного сигнала	Входная последовательность	$L(t)$, %
0	00 → 11	44
	00 → 11 → 00 → 11	45
1	00 → 11 → 00 → 11 → 01 → 10	60
	00 → 11 → 00 → 11 → 01 → 10 → 01 → 10	62
0	00 → 11 → 00 → 11 → 01 → 10 → 01 → 10 → 00 → 11	89
	00 → 11 → 00 → 11 → 01 → 10 → 01 → 10 → 00 → 11 → 00 → 11	90
1	00 → 11 → 00 → 11 → 01 → 10 → 01 → 10 → 00 → 11 → 00 → 11 → 01 → 10	97
	00 → 11 → 00 → 11 → 01 → 10 → 01 → 10 → 00 → 11 → 00 → 11 → 01 → 10 → 01 → 10	97
0	00 → 11 → 00 → 11 → 01 → 10 → 01 → 10 → 00 → 11 → 00 → 11 → 01 → 10 → 01 → 10 → 00 → 11	100

Таблица 10

Логическое значение сигналов входной последовательности	Парафазный T – триггер $L(t)$, %	Самодвойственный T – триггер $L(t)$, %
0	13	45
0 → 1	53	62
0 → 1 → 0	63	90
0 → 1 → 0 → 1	94	97
0 → 1 → 0 → 1 → 0	100	100

Таблица 11

Логическое значение сигналов входной последовательности	Парафазный D – триггер $L(t)$, %	Самодвойственный D – триггер $L(t)$, %
0	34	53
0 → 1	77	86
0 → 1 → 0	100	100

Литература

1. Reynolds D.A., Metze G. Fault detection capabilities of alternating logic // IEEE Trans. Comput. 1978. V. C. 27. №12. P. 1093 – 1098.
2. Saposhnikov VI.V., Dmitriev A., Saposhnikov V.V., Goessel M. Self-dual parity checking – a new method for on-line testing // Proc. 14th IEEE VLSI Test Symp., Princeton, New Jersey, 1996. P. 162 – 168.
3. Saposhnikov VI.V., Moshanin V., Saposhnikov V.V., Goessel M. Self-dual multi-output combinational circuits with output data compaction // IEEE European Test Workshop, Italy, Gagliari, 1997.
4. Гессель М., Мошанин В.И., Сапожников В.В., Сапожников Вл.В. Обнаружение неисправностей в самопроверяемых комбинационных схемах с использованием свойств самодвойственных функций // Автоматика и телемеханика. 1997. № 12. С. 193 – 200.
5. Ocheretnij V., Goessel M., Saposhnikov VI.V., Saposhnikov V.V. Fault-tolerant self-dual circuits with error detection by parity – and group parity prediction // 4th IEEE International On-line Testing Workshop, Capri, Italy. – 1998. – P. 124 – 130.
6. Saposhnikov VI.V., Moshanin V., Saposhnikov V.V., Goessel M. Experimental results for self-dual multi-output combinational circuits // Journal of Electronic Testing: Theory and Applications. 1999. № 14. P. 295 – 300.
7. Гессель М., Дмитриев А.В., Сапожников В.В., Сапожников Вл.В. Само тестируемая структура для функционального обнаружения отказов в комбинационных схемах // Автоматика и телемеханика. 1999. № 11. С. 162 – 174.
8. Гессель М., Морозов А.А., Сапожников В.В., Сапожников Вл.В. Построение самопроверяемых комбинационных схем на основе свойств самодвойственных функций // Автоматика и телемеханика. 2000. № 2. С. 151 – 163.
9. Dmitriev A., Saposhnikov V.V., Saposhnikov VI.V., Goessel M., Moshanin V., Morosov A. New self-dual circuits for error detection and testing // VLSI Design. 2000. Vol. 11. P. 1 – 21.
10. Гессель М., Дмитриев А.В., Сапожников В.В., Сапожников Вл.В. Исследование свойств самодвойственных самопроверяемых многотактных схем // Автоматика и телемеханика. 2001. № 4. С. 148 – 159.
11. Согомонян Е.С., Слабаков Е.В. Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989. 208 с.
12. Сапожников В.В., Сапожников Вл.В. Самопроверяемые дискретные устройства. СПб.: Энергоатомиздат, 1992. 224 с.
13. Сапожников В.В., Сапожников Вл.В. Упрощение структуры логического преобразователя конечного автомата при кодировании его состояний по столбцам таблицы переходов // Проблемы передачи информации, 1975. Т. 11. №.4. С. 77 – 85.
14. Сапожников В.В., Сапожников Вл.В. Синтез полностью самоконтролирующихся асинхронных автоматов // Автоматики и телемеханика, 1979. № 1. С. 154 – 166.

Статья опубликована

Сапожников В.В., Сапожников Вл.В., Валиев Р.Ш. О синтезе самодвойственных логических схем с памятью // Электронное моделирование. Киев, 2004. – Т. 26. – №2. С. 39 – 57.